

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-189878

⑬ Int.Cl.

G 06 F 15/62
G 03 G 15/00
15/01
15/04
G 09 G 5/36

識別記号

3 2 0 P
3 0 2
S
1 1 6

庁内整理番号

8125-5B
8004-2H
2122-2H
2122-2H
8839-5C

⑭ 公開 平成3年(1991)8月19日

審査請求 未請求 請求項の数 4 (全25頁)

⑮ 発明の名称 画像処理装置の編集制御方式

⑯ 特 願 平1-330343

⑰ 出 願 平1(1989)12月20日

⑱ 発明者 藤間 敏貴 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑲ 出願人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑳ 代理人 弁理士 阿部 龍吉 外6名

明細書

1. 発明の名称

画像処理装置の編集制御方式

2. 特許請求の範囲

(1) 原稿読み取り色分解信号から各現像色の記録信号に変換し現像サイクル毎に当該現像色の記録信号を選択して記録再生を行うと共に原稿の閉領域内を特定のパターンや色でねり塗す機能を備えた画像処理装置のねり塗処理方式であって、ブレーンメモリを備え、該ブレーンメモリにプリスクイッキンにより原稿の2値画像データを取り込み、該2値画像データの閉領域内の指定された点を開始点として閉領域ねり塗しを行い、次に該閉領域ねり塗しに対して外側ねり塗しを行った後、外側ねり塗しの内側に対して特定のパターンや色の塗り塗し処理の設定を行うようにしたことを特徴とする画像処理装置のねり塗処理方式。

(2) ねり塗処理として複数枚のブレーンメモリを備え、ワーク用のブレーンメモリに外側ねり塗し領域を描画し、ワーク用のブレーンメモリに描

画された外側ねり塗し領域に基づいて描画用のブレーンメモリに特定のパターンや色の塗り塗し処理を行うエリアコマンドを設定することを特徴とする請求項1記載の画像処理装置のねり塗処理方式。

(3) 描画用として複数枚のブレーンメモリを用い、各領域毎に複数枚のメモリでエリアコマンドを設定することを特徴とする請求項2記載の画像処理装置のねり塗処理方式。

(4) ワーク用として2枚のブレーンメモリを用い、第1のブレーンメモリと第2のブレーンメモリとの間で領域のねり塗し処理を行うことを特徴とする請求項2記載の画像処理装置のねり塗処理方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、原稿読み取り色分解信号から各現像色の記録信号に変換し現像サイクル毎に当該現像色の記録信号を選択して記録再生を行うと共に原稿の閉領域内を特定のパターンや色でねり塗す機

特開平3-189878(2)

能を備えた画像処理装置のめり込み機能に関する。

【従来の技術】

最近の画像処理装置では、CCDラインセンサを用いることにより、原稿を色分解信号にしてフルカラーの読み取信号を簡単に取り出すことができる。そこで、この色分解信号をトナーその他の色材の記録信号に変換し、該記録信号で駆動されるレーザービームを感光体に照射して感光体上に画像を形成し、現像、転写、定着することによってカラー原稿を再生することができる。しかも、CCDラインセンサを用いて得られる色分解信号は、アナログ信号から高階調のデジタル信号に変換することによって、デジタル信号での記憶、変換、調整、合成等が自由に行えるので、多彩な画像編集が可能になる。すなわち、このような技術を利用することによって、カラー複写機やカラープリンタ、カラーファクシミリ等においても早にカラー原稿の再現だけでなく、例えばトリム（画像の抽出）やマスク（画像の消去）は勿論、ロゴの挿入等が可能となる。

けられるが、文字「P」や「O」の場合には文字の閉じた縁の内側は色付けが行われず、指定した閉領域内で抜けが生じてしまうという問題が生じる。これを第24図に基づいてさらに具体的に説明する。

色付け処理では、ピットマップメモリを「0」に初期化した後、コピースキヤンに先立ってプリスキンを行うことによって原稿を読み取り、ピットマップメモリにその読み取情報を描画し、その後描画したデータに対して塗り潰しの処理が行われる。この場合、原稿を読み取ってピットマップメモリに描画された内容が第24図の白「0」、黒「1」で表わされるように文字「P」を矩形の枠で囲んだものであるとする。そこで、このピットマップメモリの内容に対して*印の面素を編集点として指定すると、まず、ピットマップメモリに対し、この編集点を開始点として「1」を境界とし例えば「1」と異なる値「N」が同図時に示すように割当てられる。したがって、図示のように文字「P」の閉じた縁の内側の値は、初期値

入、色付け、ペイント、色変換、ネガポジ反転、縮小／拡大その他多彩に編集機能を付加することができる。

例えば円グラフや棒グラフ等では、グラフの中を特定の色やパターンで分けて表示したり、また、図形原稿等では、複雑な図形の識別を容易にするために特定の部分を色付けして表示することがあり、そのための手法として、まず、プリスキンにより原稿の2次元化面像データを取り込んだ後、色付けする領域内の1点を編集点として指定することによりその編集点を含む閉領域内を指定された色やパターンにより塗り潰す方法がある。

【発明が解決しようとする課題】

しかしながら、例えば上記のめり込み機能では、閉領域内に文字があった場合、編集点を開始点としてその点を含む内側のみを描画するため、文字の閉じた縁や、さらに閉領域内に閉じた枠があると、その内側が抜けてしまうという問題がある。すなわち、文字「S」の場合には抜けがなく色付

の「0」のままとなっている。この状態で、コピースキヤンを行ってピットマップメモリの内容に基づいて画像処理を行うと、同図(c)に示すように斜線の枠と文字「P」の縁との間の領域のみがメッシュで示すように色付けされ、文字「P」の閉じた縁の内側は色付けされずに残ってしまう。

上記のような不都合は、文字のみならず閉領域を有する図形等に対しても発生する。したがって、このような不都合をなくすには、文字や図形等の閉じた縁の内側に対して漏れなく編集点を指定することが必要となり、編集点の指定操作が非常に煩雑になる。

本発明は、上記の課題を解決するものであって、発明の目的は、1点を編集点として指定することにより、その閉領域内に存在する閉じた縁の内側も漏れることなく色付けできるようにすることである。

【課題を解決するための手段および作用】

そのために本発明は、第1図に示すように、イメージ入力ターミナル(IIT)1で読み取り、

特開平3-189878(3)

イメージ処理システム(IPS)2で原稿読み取り色分解信号から各現像色の記録信号に変換し現像サイクル毎に当該現像色の記録信号を選択してイメージ出力ターミナル(LOT)3で記録再生を行うと共に、イメージ処理システム2に画像データ処理手段4、6、原稿の閉領域内を特定のパターンや色でねり塗すねり塗処理手段5を備えた画像処理装置のねり塗処理方式であって、ねり塗処理手段5にプレーンメモリ7を備え、該プレーンメモリ7にプリスキャンにより原稿の2値画像データを取り込み、該2値画像データの閉領域内の指定された点を開始点として閉領域ねり塗しを行い、次に該閉領域ねり塗しに対して外側ねり塗しを行った後、外側ねり塗しの内側に対して特定のパターンや色の塗り塗し処理の設定を行うようにしたことを特徴とする。

このようにねり塗をしようとする閉領域の外側をねり塗し、その外側ねり塗しの内側に対し、ねり塗のための特定のパターンや色の塗り塗し処理の設定を行うので、閉領域の内側に閉じた線があ

ってもこのような線とは関係なく塗り塗し処理が実行される。

また、ねり塗処理として複数枚のプレーンメモリを備え、ワーク用のプレーンメモリに外側ねり塗し領域を描画し、ワーク用のプレーンメモリに描画された外側ねり塗し領域に基づいて描画用のプレーンメモリに特定のパターンや色の塗り塗し処理を行うエリアコマンドを設定することを特徴とし、さらに、描画用として複数枚のプレーンメモリを用い、各領域毎に複数枚のメモリでエリアコマンドを設定し、ワーク用として2枚のプレーンメモリを用い、第1のプレーンメモリと第2のプレーンメモリとの間で領域のねり塗し処理を行うことを特徴とする。

したがって、ワーク用のプレーンメモリでは、一方のプレーンメモリに2値化画像データを取り込むと、他方のプレーンメモリに閉領域内のねり塗しを行い、さらにそれを基に逆のねり塗しを行うことができる。また、複数枚のメモリでエリアコマンドを設定するので、エリアコマンドにより

色やねり塗しパターンを指定し選択することができる。

【実施例】

以下、実施例につき本発明を詳細に説明する。この実施例では、カラー複写機を記録装置の1例として説明するが、これに限定されるものではなく、プリンタやファクシミリ、その他の画像記録装置にも適用することができる。

目次

まず、実施例の説明に先立って、目次を示す。

(I) ねり塗処理方式

(I-1) ねり塗処理用メモリの構成

(I-2) エリアコマンド設定処理

(II) 補要制御回路

(II-1) 全体の回路構成

(II-2) 動作概要

(II-3) AGDC

(II-4) DMC

(II-5) IRE

(II-6) アノテーション処理回路

(III) 全体の処理の流れ

(I) ねり塗処理方式

(I-1) ねり塗処理用メモリの構成

第2図はプレーンメモリの構成例を示す図である。

第2図に示すプレーンメモリは、2枚のプレーンをワーク用に2面、描画用に4面の計6面で構成した例であり、例えば分解能4ドット/mm、主走査方向435mm、副走査方向300mmとすると、1.5Mバイトのメモリ容量を必要とする。このうち、ワーク用のプレーンPWは、例えばねり塗スキャン時に2値化データを取り込むものであるが、その他にマーカースキャン時にマーカーエリアを取り込むのにも用いることができる。そして、ワーク用のプレーンPMは、ねり塗領域の描画を行うと共に抽出エリア作成用として用いるものである。また、描画用のプレーンP3~0は、ピットパターンをエリアコマンドとするものであり、この場合における例えばプレーンP3~P0上の描画内容とエリアコマンドとの対応は、

特開平3-189878(4)

第3図に示すようになる。すなわち、エリアコマンドは、4ビット構成で「P3、P2、P1、P0」とすると、同図における領域①のエリアコマンドは、プレーンP3が「0」、プレーンP2、P1、P0がそれぞれ「1」であるので、「0111」(07)となり、領域②のエリアコマンドは、プレーンP3、P1が「1」であるので、「1010」(0A)、領域③のエリアコマンドは、各プレーンとも「0」であるので「0000」(00)となる。

(1-2) ぬり塗処理の流れ

次にぬり塗処理を説明する。

第4図は本発明に係るぬり塗処理の流れを説明するための図である。

まず、第4図(d)に示すようにぬり塗スキャンで2値化画像データ11をプレーンPWに取り込む。しかる後、ぬり塗開始点(編集点)12を指定すると、描画対象プレーンをPMとし、ペイントコマンドを発行することによって、図示のようにプレーンPMに描面13を実行する。

えた編集制御回路の例を説明する。

(II-1) 全体の回路構成

第5図は本発明に係るぬり塗等のアノテーション、領域指定、カラー変換の各処理を行うLSIを搭載した編集制御回路基板の構成例を示す図である。

編集制御回路基板では、第5図に示すように編集制御モジュールを構成しアノテーションの処理を行う回路としてAGDC(Advanced Graphic Display Controller)701、プレーンメモリ704、DMC(DMA Controller)706、FIFO707、715、IRE(Image Reduction and Enlargement controller)714、FAC(Font Address Controller)716、PLT(Palette)717等を備え、領域画像制御モジュールを構成し調整機能の領域コマンドを生成する回路として領域指定回路711、指定された領域、色で原稿の色を変換する回路として色変換回路710を備えている。

アノテーションの処理を行う回路では、マーカ

次に、伝送先プレーンをPW、伝送元プレーンをPMとしてコピーコマンドを発行することによって、同図(f)に示すようにプレーンPMの描面13をプレーンPWにコピーする。

その後、描面プレーンをPM、描面内容を「ALL 0」にして描面モードで矩形ぬりつぶしコマンドを発行することによって、同図(g)に示すようにプレーンPMをクリアする。

続いて、描画対象プレーンをPMとし、ぬりつぶし開始座標14を描面13の外側に指定し、ペイントコマンドを発行することによって、同図(h)に示すように外側をペイントする。

最後に、色やバターンにより描画用のプレーンP3～P0を選択してペイントコマンドを発行することによって、同図(i)に示すように描画用のプレーンP3～P0上にエリアコマンドを描画する。このエリアコマンドの例は、閉領域内を「0101」(05)で描画したものである。

(II) 編集制御回路

次に、本発明に係るぬり塗処理方式の機能を

一領域や閉領域、矩形領域、自由形領域で、文字部分のみ、文字部分と背景部分の両方について、あるいは背景部分のみに限り、網、ハッティング、ペタで置き換えたり、また、ロゴ挿入処理したりする。そのために、マーカースキャンや閉領域スキャン、ディジタイザからの座標入力により指定された領域について、先に述べたようにプレーンメモリ704にまず2値化画像データを取り込んで、しかる後その領域内にエリアコマンドを描画して、メインスキャンのときにこれを読み出して画像データと置き換え処理する。また、調整機能の領域コマンドを生成する回路では、U1から入力された座標値による領域とコマンドを設定し、メインスキャンのときに、これを読み出して調整機能の制御を行い、その1つとして色変換回路710がある。したがって、メインスキャンでは、画像データに対して、指定された領域でカラー変換その他の調整機能に関する処理が行われ、その後の画像データに対してアノテーションの処理が行われる。次にこれらの各ブロックについて概要

特開平3-189878(5)

を説明する。

ブレーンメモリ704は、入力画像をマスキング、ロゴ等、別のものに置換するときにそのコマンドも登録しておくものである。アノテーションは、一定の領域に対して処理するものであり、入力画像などの分解能はなくてもよいので、ブレーンメモリ704としては、分解能を4ドット/mmに落としてメモリ容量を少なくし、軸走査方向432mm、主走査方向300mmのA4サイズで4面もち、その4面に書かれたビットイメージと対応した色およびパターンを送出するように構成している。したがって、2'、16通りの処理が可能である。この機能としては、指定された1点を含んだ閉領域内の白部を任意の色、パターンでねりつぶす「閉領域内色付け」(ねり塗)、2点で指定された矩形領域内を任意の色、パターンでねりつぶす「矩形領域内色付け」に大別できる。これらは、領域内の1点を指定して行う枠内色付け、マーカーにより領域を指定し、白黒の原稿を対象とし黒を任意の色に変換する色変換、原稿イ

メージを残す網かけ、領域内を白でねりつぶす(透明にする)マスク、逆に領域外を白でねりつぶすトリム、抽出と同様の指定移動、原稿イメージを残さないペイント等がある。

AGDC701は、メモリのハード的な制御を行うものであり、閉領域スキャンやマーカースキャン時に原稿上のマーカーイメージ、閉領域条件を取り込んでブレーンメモリ704への書き込みを行ったり、ブレーンメモリ704上にビットパターンを描画したり、メインスキャン時にブレーンメモリ704のビットパターンを送出するグラフィックディスプレイコントローラである。

I RE714は、プリスキャン時に FIFO707を使って画像データの2縮小化、縮小処理を行ってDMC(Direct Memory Access Controller)706を介してAGDC701へ転送し、メインスキャン時にAGDC701の転送データを FIFO707から入力し拡大処理を行う。

DMC706は、DMAライト、プットコマンドによりIRE714からAGDC701へデータ転送を行い、DMAリード、ゲットコマンドによりAGDC701からIRE714へデータ転送を行うものである。なお、AGDC701からIRE714へは、途中にFIFO707を介してデータ転送を行い、ブレーンメモリ704の4ブレーンについてデータ転送を行う。また、IRE714からAGDC701へは、ブレーンメモリ704の1ブレーンについてデータ転送を行う。

FAC716は、エリアコマンドが網かけやロゴであればそのビットマップパターンデータをフォントバッファから読み出し、PLT717へ送出する。

PLT717は、FAC716から網かけパターンやロゴを原稿上に合成し、4面のブレーンメモリ704上のエリアコマンドと対応した色を設定するものであり、Y、M、C、Kの各現像色毎に出力する色の成分データがセットされる。この場合、濃度やコントラスト、カラーバランスを反映させるために、TRC-LUTによって変換した後設定される。

その他、ロゴパターンROM705は、ユーザ毎にセットするものであり、これが装着状態か否かの信号がオン/オフで送出される。フォントバッファ708には、ロゴパターンがAGDC701によりロゴパターンROM705から読み出され回転等の処理の後コピーされたり、網パターンが描画される。ラインシンクジェネレータ713は、バイブライン処理により涙れる画像信号に対応した同期信号を生成するものである。FIFO718は、バイブライン処理の連延量に対応させてそれぞれ画像データを1ラインずつ連延させるものであり、FIFO719は、1ライン未満の連延量を調整するものである。

以上の回路は、先に説明した顔葉制御モジュールを構成し、アノテーション処理を実行するものであるが、領域指定回路711は、領域画像制御モジュールを構成し、U1からXY座標による領域とその領域の顔葉内容が設定されると、それぞれの領域で領域コマンドを発生させ、カラーマスキングや色変換、UCR、空間フィルター、TR

特開平3-189878(6)

C等にテーブルのセレクト信号等を与えるものである。色変換回路710は、変換処理の対象を判断するための比較色と変換色が指定され、領域指定回路711から与えられる領域コマンドにしたがって一致色変換／不一致色変換の処理を行うものである。

(II-2) 動作概要

次に上記回路における全体の動作概要を説明する。

まず、結果に関してはUI(ユーザインターフェース)から領域の指定、その領域の結果内容が指定される。デジタイザやキーを用いた座標値による領域指定データに関しては、AGDC701に座標値が取り込まれ、その座標入力による設定領域がブレーンメモリ704に書き込まれ、また、領域指定回路711の各レジスタにそのコマンドが設定される。

そして、メインスキャンに先立ってマーカースキャンや閉領域スキャンが行われると、その画像入力データZRE0~7は、IRE714でFI

E714では、これを4ブレーン分のデータにまとめ拡大処理してエリアコマンドACMDをFAC716へ送出する。FACT716では、このエリアコマンドACMDによりフォントバッファ708からビットマップパターンデータを読み出し、PLT717でこれをFIFO718、719で同期調整された画像データと合成し、画像出力データRZRE0~7を送出する。

(II-3) AGDC

(A) レジスタ

AGDCには、AGDCの状態を示すレジスタSTATUS、AGDCの動作を制御するレジスタCONTROL、ブレーンメモリの構成を定義するレジスタ、座標を指定するレジスタ、クリッピング領域を指定するレジスタ、描画時の論理演算の種類を設定するレジスタ等、種々のレジスタを備えている。ここで、クリッピング領域は、任意の定義した矩形領域の内側又は外側のみを描画対象とする場合におけるその領域である。また、描画時の論理演算の種類を設定するレジスタには、

F0715を使って2値化、縮小処理され、DMC706を介してAGDC701に転送される。そして、マーカーイメージ、閉領域伴イメージがAGDC701に取り込まれ、ブレーンメモリ704に書き込まれる。次にAGDC701を通してブレーンメモリ704の結果領域内にコマンドの設定(ビットパターンの描画)が行われる。なお、マーカースキャンのときは、色変換回路710において、全面に対してマーカー色が黒に変換され、それ以外は白に変換されて、マーカーのイメージのみの画像入力データZRE0~7により処理される。

次にメインスキャンに移行すると、領域指定回路711では、原稿全面を含め、8領域について後指定優先により領域毎の領域コマンドを発生するので、色変換回路710での色変換、その他の調整機能に依する処理がなされる。他方、ブレーンメモリ704のビットパターンがAGDC701から送出されると、DMC706を介してFI-F0707に1ブレーンずつ書き込まれる。IR

レジスタMOD0、レジスタMOD1、レジスタPLANSがある。そして、レジスタMOD0は、レジスタPLANSのビットが「0」に設定されているブレーンに対する論理演算、レジスタMOD1は、レジスタPLANSのビットが「1」に設定されているブレーンに対する論理演算をそれぞれ指定するものであり、レジスタPLANSは、各ビットがブレーンと1対1に対応している。つまり、レジスタPLANSはハードウェア上は16面までブレーンメモリがとれる構成を採用している。

(B) コマンド

本発明のアノテーションに関する結果処理の機能としては、「矩形領域内色付け」と「閉領域内色付け」に大別できることは先に説明したが、これらの処理を行うコマンドがRRECFILEとPAINTである。

コマンドRRECFILEは、ブレーンメモリに対する座標を設定するレジスタX、Y(原点からのドット数)、DX、DY(X、Yからのドッ

特開平3-189878(7)

ト数)で指定された矩形領域をぬりつぶすコマンドであり、コマンドPAINTは、X、Yレジスタで示される座標を始点としてその点を含んだ閉領域内をぬりつぶすコマンドである。そして、これらの色付けパターンは、他のレジスタに設定される。

AGDCの描画処理は、通常よく使用されるもの（例えばNEC製のマイクロプロセッサμPD72120）の場合、前処理を行うプリプロセッサの処理と、実際の描画を行う描画プロセッサの処理に分かれる。そして、コマンドの設定は、第43図に示すようにプリプロセッサの処理が終了したことを条件として行われる。このプリプロセッサの処理の状態は、レジスタSTATUSのビット0で判断され、例えば該ビット0が「0」のときプリプロセッサの処理が終了したと判断される。

また、データの転送を制御するコマンドとしては、ブットコマンドPUTCとゲットコマンドGETCがある。

域の内側又は外側のみを描画対象とする領域であり、原稿検知有効範囲と同等となる。また、クリッピング領域は、AGDCのレジスタ「CLIP」にてパワーオン時の他、マーカー領域色付け終了後にセットして内側のみを描画対象とし、マーカースキャン終了後にはこれをリセットしてクリッピングを行わないようとする。

また、パワーオン時には、色付けコマンド（RECFILEL、PAINT）実行時の論理演算方法の設定が行われるが、これは、描画するビットをS、既にブーンメモリ上にあるビットをD、論理演算の結果ブーンメモリ上に描画するビットD' とすると、レジスタMOD0では、描画するビットSの反転とビットDとの論理積を描画し、レジスタMOD1ではビットSとビットDとの論理和を描画する論理演算式の設定を行う。ただし、初期状態としてブーンメモリはすべて「0」データでクリアされているとし、描画するビットSには「1」がセットされているものとする。

上記の論理演算式により色付けコマンドを実行

ブットコマンドPUTCは、画像データをブーンメモリ上へ転送するコマンドであり、転送先のブーンメモリの座標値をレジスタX、Y、DH、DVで指定する。ゲットコマンドGETCは、ブーンメモリ上のデータを送出するコマンドであり、転送元のブーンメモリの座標値をレジスタX、Y、DH、DVで指定する。これらのコマンドは、DMA転送を行うため、DMCの制御レジスタに「DMAWR」を設定した後に発行される。また、当該コマンドの設定タイミングは、データ転送可能な状態の時であり、その可否は、レジスタSTATUSのビット7の「PUT_GET_READY」を参照して判断する。

(C) パワーオン時等の動作条件設定

第6図は後指定優先の描画を説明するための図である。

パワーオン時の設定処理としては、AGDCの初期設定（レジスタCTRL、BANK）、クリッピング領域の設定等がある。

クリッピング領域は、任意に定義された矩形

すると、後指定優先となる。例えば第6図(c)に示すように領域1→領域2の順に指定がなされ、「1010」で領域1を描画した後、「0011」で領域2を描画する場合には、同図(d)に示す領域1の描画に対して同図(e)に示すように領域2の描画が優先される。

(D) 色付け処理

第7図はマーカー指定領域の色付け処理を説明するための図、第8図は枠内色付けによる色付け処理を説明するための図、第9図は矩形領域の色付け処理を説明するための図である。

色付け処理において、マーカー塗装、枠内色付けでは、それぞれプリスキャンとしてマーカースキャン、閉領域スキャンが実行される。これらマーカースキャンおよび閉領域スキャン時は、11Tで読み取った画像データをブーンメモリ上に転送する必要がある。このブーンメモリ上に転送する際には、レジスタX、Y、DH、DVへのブーンメモリの座標値の設定、DMCの制御レジスタCTRLの「DMAWR」設定、PUTC

時間平3-189878 (8)

コマンドの設定、SYSへの「READY」の通知、プリスキアン終了後の「DMAWR」の解除等の処理がなされる。

そして、色付け処理では、まず、マーカースキャン終了後に第7図(a)に示すようにマーカー領域が描画されるとクリップ領域を解除し、レジスタX、Yを0にし、レジスタPLANSをP0のブレーンメモリに、レジスタPTNCNTを全面「1」によるぬりつぶしのパターン(FF)に設定した後、任意閉領域ぬりつぶしのコマンドPAINTを設定する。以後、描画プロセッサにより描画処理が開始されるので、10 msec毎にレジスタSTATUSのビット2「DRAWING PROCESSOR BUSY」を監視し、描画プロセッサによる描画処理が終了して「NOT BUSY」になるのを待つ。

次に、レジスタX、Yをそれぞれ0、DXを1200、DYを1728に設定することにより矩形領域としてブレーンメモリの全面を指定し、レジスタPTCCNTにぬりつぶしパターンを設定

レジスタX、Yに閉領域指定座標の設定をそれぞれして、コマンドPAINTの設定を行う。以後、10 msec毎にレジスタSTATUSのビット2「DRAWING PROCESSOR BUSY」を監視し、「NOT BUSY」になるまで待ち、SYSへ「READY」を返す。

このようにして第8図(a)に示すような閉領域スキャンで原稿イメージが取り込まれたブレーンメモリについて同図(a)に示すように内側の色付け処理が実行される。

矩形領域では、レジスタPLANSの設定、レジスタPTNCNTにすべて1でぬりつぶしパターンの設定、レジスタX、Y、DX、DYに指定座標値の設定をそれぞれ行い、コマンドRECFILLの設定を行う。以後、10 msec毎にレジスタSTATUSのビット2「DRAWING PROCESSOR BUSY」を監視し、「NOT BUSY」になるまで待つ。さらに抽出が選択されている場合には反転し、SYSへ「READY」を返す。

すると共に、レジスタMOD1に論理演算の種類として並位論理和(04+)を設定してレジスタX、Y、DX、DYで示される矩形領域内(P0のブレーンメモリ全面)のぬりつぶしコマンドRECFILLを設定する。以後、10 msec毎にレジスタSTATUSのビット2「DRAWING PROCESSOR BUSY」を監視し、「NOT BUSY」になるのを待つ。

このようにして第7図(b)に示すようなマーカースキャン終了後のブレーンメモリについて同図(b)に示すようにマーカー領域の外側を色付け、統いて反転処理することによって同図(b)に示すようにマーカー領域内の色付け処理が実行される。なお、マーカースキャン時には、マーカーのみを黒に、他は白に色変換することによって同図(b)に示すようにマーカーのみが画像データとしてブレーンメモリに描画される。

また、枠内色付けでは、閉領域スキャン終了後、レジスタPLANSの設定、レジスタPTNCNTにすべて1でぬりつぶしパターンの設定、レジ

このようにして第9図(a)に示すような指定座標値の矩形領域内を同図(a)に示すように色付け、さらに抽出の場合には同図(a)に示すように反転処理がなされる。

自由形領域では、ディジタイザよりユーザーがフリーハンドで描いた領域を認識し、この領域に対して纏集を実行する。実行できる纏集は、色付け、マスク、トリム、黒一色変換の4通りである。

この処理では、まず、ディジタイザの座標がU1から送信されると、VCPUのメモリにストアされる。この場合、座標データは、ユーザが最初に座標P0、次にP1、P3、……、最後にP6を指定したとすると、この順に従って自由形の領域開始座標P0、自由形の領域中間座標P1、……、自由形の領域最終座標P6、自由形の色付け開始座標P7がU1からVCPUに送信され、最後に座標入力が終了したこと示す情報がセットされる。

これに対して、AGDCの設定手順は、VCPUのメモリにストアされているデータから以下の

特開平3-189878(9)

ように行われる。

まず、ワークプレーンを含め各プレーンメモリをクリアする。そして、領域開始座標P0をAGDCへ設定し、さらに領域中間座標P1を設定して座標P0と座標P1を線で結ぶ。続いて、領域中間座標P2を設定して座標P1と座標P2を線で結び、以下領域最終座標P6まで同様の処理を繰り返して行う。なお、AGDCへの設定の際は、座標データに倍率掛けた値を用いる。次に、色付け開始座標P7を設定し、コマンドPAINTを設定する。以後、10 msec毎にレジスタSTATUSのビット2「DRAWING PROCESSOR BUSY」を監視し、「NOT BUSY」になるまで待つ。

(E) パターン設定

パターン設定は、レジスタFILL-PTN-REG-1に選択する組合せ機能に従って、例えばトリムやマスク、ペイントでは、ベータのパターンによりアノテーションのみ出力し、網かけでは、選択されているパターンによりバックグラウンドを着

色する。また、枠内色付けでは、ベータのパターンによりバックグラウンドを着色し、色変換では、ベータのパターンによりフォアグラウンドを着色するように設定する。

(F-4) DMC

第10図はDMCの回路構成を示す図、第11図はIRE、AGDCとの間のデータ転送ラインを示す図である。

(A) 概要

DMCでは、DMAライト・プットコマンドによりIREからAGDCへのデータ転送を行い、DMAリード・ゲットコマンドによりAGDCから途中に FIFOを介してIREへデータ転送を行っている。IREからAGDCへのデータ転送は、ブレーンメモリで1ブレーンを単位として行い、AGDCからIREへのデータ転送は、ブレーンメモリで4ブレーンのデータを単位として行っている。

DMCは、コントロールレジスタDMC-CTR-REG-n(n=0~3)、DMA転送時の

主走査方向ワード数を設定するレジスタDMC-FWORD-REG-n(0~7)、DMA転送時の副走査方向ライン数を設定するレジスタDMC-SLINE0-REG-n(下位8ビット)、DMC-SLINE1-REG-n(上位4ビット)を有する。これらのレジスタは、VCPUから読み書き可能であって、コントロールレジスタDMC-CTR-REG-3には、パワーオンリセットにより「0」がセットされるが、電源投入時ににおける他のレジスタの内容は、不定である。レジスタの書き換えは、ページシングPSがディアクティブになって10クロック経過してからページシングPSがアクティブになる4クロック以上前行う。パワーオン時は、RAM及びコントロールレジスタDMC-CTR-REG以外の3つのレジスタの書き込みが終了してから最後にコントロールレジスタDMC-CTR-REGを書く。

コントロールレジスタDMC-CTR-REGは、8ドット/mmに縮小するか4ドット/mm

に縮小するかを設定するRES0ビット、プリスキヤン時にIREからAGDCへデータ転送するDMAライトモードと、メインスキヤン時にAGDCからIREへデータ転送するDMAリードモードを設定するビット、DMAストップ、スタートを設定するDMAビット、リセットか通常動作かを設定するNRTビットからなる。

(B) 回路構成

DMCは、第10図に示すようにラッチ回路681と685を用いて非同期でデータをラッチし処理するように構成しており、ラッチ回路681は、外部からの信号や各種カウンタ(SSLINEカウンタ686等)の出力をクロックによってサンプリングするために用い、ラッチ回路685は、メモリ出力を外部や内部カウンタ等に出力するときにその信号をクロックに同期させるために用いるものである。メモリ684は、36ビット幅であるが、そのうちの上位29ビットを用いている。リセットレジスタDMC-CTR-REG-3が「0」の時は、メモリアドレスが「0」に

特開平3-189878 (10)

固定される。そして、カウンタ 682 とセレクタ 683 とメモリ (RAM) 684 によりシーケンサ部を構成し、その回路の詳細を示したのが同図である。

第10回に示すシーケンサにおいて、8ビットセレクタと8ビット FF 697 及び 8-1 マルチプレクサ 698 が同図(a)に示すセレクタ部 683 に対応し、6ビットセレクタと6ビット FF と +1 のインクリメント回路 699 が同図(b)に示すカウンタ部 682 に対応し、6ビットセレクタの入力 SEL が同図(a)に示すカウンタ部 682 の LD に対応するものである。

同図(a)のセレクタ部 683 への入力は、13ビットとなっているのに對し、8ビットセレクタでは、16ビットの入力であるが、これは下表に示すように2ビットをブルアップ、1ビットをブルダウンとするので、条件入力としては13ビットとなる。

CND02	CND01	CND00	CNDSEL=0	CNDSEL=1
0	0	0	Pull Up	Pull Up
0	0	1	DNA = "L"	DNO, READY=L
0	1	0	PS = "L"	687 ≠ "0"
0	1	1	WB = "H"	686 = "0"
1	0	0	LS = "L"	688 = "0"
1	0	1	LS = "H"	689 = "0"
1	1	0	DNO, READY, PSB=L	691 = "0"
1	1	1	READY = "L"	Pull Down

(なお、CNDSEL=0 の欄における数字 686, 687, …… は第10回に示すカウンタ等の符号を示す。)
ブルアップは無条件ジャンプをする際に必要となるので、本来は、条件入力 13ビット + ブルアップ 1ビットによる 14ビットから 1ビットのセレクタを構成すればよいが、このようにするとスピードが遅くなる。そこで、条件分岐をする 1 クロック前に信号 CNDSEL により 16 → 8ビットのセレクトをし、実際の条件分岐時には CND2 ~ 0 により 8-1 マルチプレクサで 1 つの条件を

選び出すようにしている。つまり、CNDSEL と CND2 ~ 0 からなる合計 4ビットで必要な条件入力を選び出すことになる。

また、カウンタ部 682 は、通常、1 クロックずつカウントアップしていく動作をする。このとき、6ビットセレクタでは、A がセレクトされ、6ビット FF で 1 クロックディレイし、+1 のインクリメント回路で加算される。このようにして、さらに 6ビット FF の入力に戻ってくるので、メモリ 684 の入力では、1 クロック毎に 1 ずつ増加することになる。

このメモリ 684 の内部には、マイクロプログラムが格納されているので、カウンタで示されるアドレスに応じたインストラクションが取出されることになる。このインストラクションでは、上位 11ビットによって条件分岐を行う。この場合、条件分岐を行う 1 クロック前に CNDSEL を決定し、条件分岐の間に JUMP、CND2 ~ 0、JA5 ~ 0 の合計 10ビットで分岐制御を行う。

JUMP は、条件分岐をするか否かを決める信

号であり、このビットが「0」のときは分岐せず、8-1 マルチプレクサの出力は、強制的に「0」となり、6ビットセレクタは入力 A を選択する。このとき、メモリ 684 の入力は、1 カウントアップされた値となる。また、JUMP のビットが「1」のときは条件分岐を行うことになる。

CNDSEL と CND2 ~ 0 の 4ビットで選択される条件入力が真のときは「1」となり、6ビットセレクタは、入力 B をセレクトする。入力 B は、メモリの JA5 ~ 0 であるが、これは、分岐時のジャンプ先アドレスを示している。また、条件入力が真でない場合には、マルチプレクサの出力が「0」となり、JUMP が「1」のときと同じくメモリへ 1 カウントアップした値が入力される。

上記のようにシーケンサ部の条件入力は、18ビットであるが、16-1 マルチプレクサでは、条件分岐時のスピードが間に合わなくなってしまうので、条件分岐する 1 クロック前に 8ビットセレクタを通し、その後に 8-1 マルチプレクサを

特開平3-189878(11)

通している。

WORDカウンタ687は、8ビットのダウンカウンタであり、DMA転送時のワード数をカウントし、データは、レジスタDMC-FSWORD-REGよりロードされる。LINEカウンタ686は、12ビットのダウンカウンタであり、DMA転送時のライン数をカウントし、データは、レジスタDMC-SSLINE0-REG及びDMC-SSLINE1-REGよりロードされる。ブレーンカウンタ688は、2ビットのダウンカウンタであり、READ転送時のブレーン数をカウントし、データは、レジスタDMC-CTR-REG-0 (RESO) の値が「0」の時は「1」、(RESO) の値が「1」の時は「3」がロードされる。ロード信号及びカウントパルスは、シーケンサより与えられ、これらのカウンタは、カウント値が0になると出力が「H」となる。

UBANK689は、ラインを分周してリード転送時のFIFOの切り換えタイミングを取るものであり、RESOが「0」の時は2ライン毎に、

RESOが「1」の時は4ライン毎に出力が「H」になり、シーケンサからのリセット信号が「L」に戻る。

UEND692は、ラインを分周してリード転送時のFIFO読み出し可能信号NGDO、NGDEを作り出すものである。この回路には、シーケンサからリセットがかけられるようになっていて、ページシングPSが立ち下がってから4クロック以内にリセットされる。

FIFO制御部は、UFIF690、UFSL691、UFLT693、694から構成され、リード転送時の動作するものである。FIFOライトリセッタ信号NRSWは、シーケンサより出力され、ワードカウンタにデータをロードする毎に全てのFIFOがリセットされる。FIFOの選択は、カウンタUFSL691によって行われ、このカウントパルスはシーケンサより与えられて2つずつカウントアップする。ロードデータは、

データ	条件	
	RESO=0	RESO=1
1	カウント値2の時	カウント値8の時
0	上記以外の時	上記以外の時

なるようにハード的に作られていて、ロード信号はシーケンサから与えられる。FIFO書き込みデータは、UFLT部でラッチされ、上位、下位それぞれ8ビットずつに分けられる。この時のセレクト信号は、UFIFで作られる。

(C) データ転送動作

次にデータ転送の動作を説明する。

プリスキヤン時のIREからAGDCへのデータ転送では、第11図(a)に示すラインを利用して次のように処理される。

① まず、IREは、画像データを2量化し、16ドット/mmから8ドット/mm又は4ドット/mmに縮小して16画素(16ビット)にパックにする。

② 次に、IREは、データ転送可能な状態にな

った時、ブットストローブ信号PSBを「H」にする。DMCは、これを受けてAGDC出力のDMAリクエスト信号DMAが「H」、READYが「H」であれば、DMAライト信号NDWを「L」にし、AGDCに書き込み開始を通知する。この後AGDCはREADYを「L」にする。また、DMCは、IREに対してブットアノリッジ信号NPAKを「L」にする。

③ IREは、ブットアノリッジ信号NPAKが「L」になると、AGDCのシステムバス上にデータを乗せる。

④ AGDCは、システムバス上のデータを取り込める状態になると、READYを「H」にするので、DMCは、DMAライト信号NDWを「H」にする。このDMAライト信号NDWの立ち上がりエッジでAGDCは、データを内部に取り込む。

以上の動作を繰り返すことによってIREからAGDCへのデータ転送を行う。

メインスキヤン時のAGDCからIREへのデ

特開平3-189878(12)

ータ転送では、第11図に示すラインを利用して次のように処理される。

① まず、AGDCのDMAリクエスト信号DMAQが「H」、READYが「H」であれば、DMCは、DMAリード信号NDRを「L」にし、AGDCへ読み出し開始を通知する。この後AGDCはREADYを「L」にする。

② AGDCは、システムバスに読み出しデータを乗せた後READYを「H」にする。

③ DMCは、READYが「H」になると、システムバス上のデータを取り込み、上位8ビット、下位8ビットの順でダブルバッファ(EVEN、ODD)を構成する FIFOに書き込み、DMAリード信号NDRを「H」にする。

④ DMCは、AGDCのブレーンメモリ4面のデータを1つのFIFOに1面1ラインずつ書き込んでいく。

⑤ 4つのFIFO(1バンク分)に書き込みが終了すると、DMCは、AGDCゲット終了ODD信号NEDO又はAGDCゲット終了EVEN

信号NEDEを「L」にすることによってIREにFIFO読み出し可能を通知する。

⑥ DMCは、IREが読んでいないもう一方のFIFOにAGDCからデータ転送を行う。

以上の動作を繰り返し行うことによってAGDCからIREへのデータ転送を行う。

(II-5) IRE

第12図はIRE(イメージ縮小回路)のブロックを示す図、第13図はS/P変換回路の構成を示す図、第14図はオア回路の構成を示す図、第15図はIREからAGDCへのデータ転送を説明するための図、第16図はタイミングジェネレータにおける出力コントロールのタイミングチャート、第17図はFIFO読み出し回路の構成を示す図、第18図及び第20図はFIFO読み出しデータの流れを示す図、第19図はマルチブレクサ回路の構成を示す図である。

本発明では、先に説明したようにブレーンメモリ704に編集領域を書き込んだ後、その領域に編集コマンドを描画し、そして、メインスキャン

時に画像データと同期させてブレーンメモリ704から編集コマンドを読み出してアノテーションの処理を行っているが、16ドット/mmの解像度で読み取られる画像データに対してブレーンメモリ704は解像度を落とし4ドット/mmとしている。したがって、プリスキアンにより原稿を読み取った編集領域の画像データをそのままブレーンメモリ704に書き込むことができない。

IREのLSIは、上記のように画像データの解像度とブレーンメモリ704の解像度がことなることから、主として、これらの間の変換、調整処理を行うものである。この変換、調整処理としては、プリスキアン時に画像データから得られる編集領域をブレーンメモリ704に書き込む際、画像データから領域情報を抽出するために画像データを2値化し、さらにその2値化データを縮小してAGDC701に転送することによって、ブレーンメモリ704に合った解像度で編集領域を書きめるようにするものである。また、編集コマンドの読み出し時には、AGDC701でブレ

ーンメモリ704から読み出した編集コマンドを拡大して送出することによって、ブレーンメモリ704の解像度から画像データの解像度に合わせるようにする。

その回路構成を示したのが第12図である。

(A) レジスタと設定情報

レジスタ群722は、常時VCPUから読み書き可能なものであり、オア回路725のセレクト情報(ORSEL)を設定するレジスタ、縮小のスレッシュルド情報を設定するレジスタ、制御情報を設定するレジスタからなる。

オア回路725のセレクト情報は、指定された4×4マトリクスの2値化データをオア回路725の入力に加えるか否かを設定する情報であり、主走査方向と副走査方向にそれぞれ4ビットずつ、計16ビットについてそれぞれ個別に設定するようになっている。縮小の解像度によるマトリクスは、16ドット/mm→4ドット/mmの場合4×4のマトリクス、16ドット/mm→8ドット/mmの場合2×2のマトリクスである。

特開平3-189878(13)

先に説明したようにプレーンメモリ704は、4ドット/mmの分解能であるため、プレーンメモリ704に書き込む場合には16ドット/mmから4ドット/mmに縮小することが必要であり、プレーンメモリ704から読み出す場合には逆に拡大が必要である。この縮小処理を行うためにマトリクスが使用されるが、第12図に示す例では、8ドット/mmへの縮小も可能なよう構成し、汎用性を持たせている。例えば4ドット/mmに縮小する場合には 4×4 のマトリクスのデータから1ドットのデータが生成され、8ドット/mmに縮小する場合には 2×2 のマトリクスのデータから1ドットのデータが生成される。

縮小のスレッショルドセレクト情報は、入力画像データを2値化するときの閾値であり、8ビット絶対値で表現される。

制御情報は、16ドット/mm→8ドット/mmに縮小するか、16ドット/mm→4ドット/mmに縮小するか、いずれかの縮小解像度を設定する情報(RESO)、縮小か拡大かの処理の設

定情報(NWRD)である。先に述べたようにDMC706へデータを出力するプリスキャン時には、プレーンメモリ704の解像度に合わせるために縮小処理が行われ、FIFO707からAGDC転送データを入力するメインスキャン時には、元の解像度に拡大するため拡大処理が行われるので、このタイミングに応じて設定される。

(B) プリスキャン時の処理回路

プリスキャン時の処理回路は、画像データを2値化するコンパレータ721、4ライン分の 4×4 ドットデータを1ドットに縮小するS/P変換回路724とオア回路725、縮小された画像データを16ビットにまとめるS/P変換回路726からなる。

コンパレータ721は、2値化回路を構成するものであって、入力画像データVD10~7をスレッショルド情報と比較して2値化している。このスレッショルド情報は、レジスタ群722に設定され、2値化データは、FIFO715に送出され、次のS/P変換回路724に入力データと

合わせて4ライン分のデータを取り込むため、FIFO715で3ライン分の2値化データが保持される。

S/P変換回路724は、2値化データを縮小する解像度に合わせたマトリクスにするための処理を行うものであり、コンパレータ721の出力とFIFO715に保持された3ライン分の2値化データとを合わせて4ライン分の2値化データを取り込み、これを縮小する解像度に合わせたマトリクスにする。例えば第13図(b)に示すように主走査方向、副走査方向に 4×4 のマトリクス内のデータをLB30~33、LB20~23、LB10~13、LB00~03とした場合、縮小の解像度が16ドット/mm→8ドット/mmでは、LB10、LB11、LB00、LB01によるマトリクスにする。したがって、4ドット/mmへの縮小においては、1ビット→4ビットのシリアル→パラレル変換回路を4つ用いる。また、8ドット/mmへの縮小においては、LB3、LB2のデータ及びLB12、LB13、LB02、

LB01が不要となるので、これらの不要データが次段のオア回路725に影響しないようにハード的にクリアする回路構成が採用される。その回路構成の例を示したのが第13図(c)である。

オア回路725は、第14図に示すゲート回路により縮小の解像度に応じた2値化画像データの論理和をとるものである。例えばレジスタに設定されたセレクト情報ORSELの各ビットOR00~OR33が「1」の場合には、S/P変換回路724から入力されるデータL00~L33の少なくとも1ビットに「1」があれば、アンドゲートのいずれかが出力「1」になるので、「1」のOR出力となる。このセレクト情報ORSELの設定により、例えば縮小の解像度が4ドット/mmの場合には、 4×4 あるいは 3×3 のマトリクスの論理和をとるので、16ドットの2値化画像データの論理和をとる。また、8ドット/mmの場合には、 2×2 のマトリクスの論理和をとるので、4ドットの2値化画像データの論理和をとることになる。

特開平3-189878(14)

S/P変換回路726は、1ビット→16ビット変換を行うものであり、オア回路725の出力をDMC706を介してAGDC701へ転送するため16ビット単位にまとめている。例えば解像度4ドット/mmへ縮小する場合には、第15図に示すように1ビット→16ビット変換後に使用されるクロックは4ビデオクロックVCLKの周期であり、オアデータを16ビットまとめるのに使用されるクロックは64ビデオクロックVCLKの周期となる。同様に解像度8ドット/mmへ縮小する場合には、1ビット→16ビット変換に使用されるクロックは2ビデオクロックVCLKの周期であり、オアデータを16ビットまとめるのに使用されるクロックは32ビデオクロックVCLKの周期となる。

上記の構成により、プリスキヤン時の処理回路では、まず、コンパレータ721で画像データを閾値と比較して2値化する。そして、FIFO715に3ライン蓄積したデータと合わせた4ライン分をS/P変換回路724に入力し、S/P変

換回路724で各4ビットの2値化画像データをパラレルにして取り出す。この 4×4 の画像データをオア回路725で縮小する。ここでは、 4×4 のうち、レジスタで指定された 3×3 の画像データの論理和演算を行い、いずれかが「1」であれば、すなわち、 4×4 ドットの画像データの中から 3×3 ドットの画像データを対象とし、1つでも「1」の画像データがあれば、 4×4 ドットの画像データから「1」の1ドット画像データに縮小することによって、16ドット/mmの画像データを4ドット/mmに縮小する。

このようにして画像データがオア回路725を通して縮小されると、S/P変換回路726で第15図に示すように16ビットにまとめてAGDC701へ転送する。

(C) メインスキヤン時の処理回路

メインスキヤン時の処理回路は、FIFO読み出し回路727とマルチブレクサ728からなる。

FIFO読み出し回路727は、DMC706によりFIFO707に書き込まれた4フレーン

の領域データを読み出すものである。領域データは、1フレーンずつ1つのFIFO707に書き込まれており、FIFO707はダブルバッファとなっている。ここで、IRE714のデータバスSGD0~7は、8ビットであるため同時に4フレーン分のデータを読み込むことはできない。そこで、第17図に示すFIFO読み出し回路727によりFIFO707を選択して4フレーン分のデータを読み出す。

この読み出しでは、まず、DMC706の信号NEDE/NEDOにより読み出すパンクが決まると、信号NEDE/NEDOがアクティブの期間、信号NRE0~7により読み出すFIFO707を選択する。そして、FIFO707からのそれぞれの読み出しだけをタイミング信号F1~F3でラッチし、第18図に示すように読み出しだけを4フレーン分偏うとタイミング信号P4で4フレーン分のデータをまとめて次のラッチ回路にラッチし、マルチブレクサ回路728に出力する。

なお、FIFO読み出しのクロックにはビデオクロックVCLKが用いられる。したがって、信号NRE0~7がアクティブの期間は、1ビデオクロックVCLKとし、信号NRE0~7がアクティブから次のアクティブまでの間隔を設け、データバス上で異なるフレーンのデータが衝突しないようにしている。

マルチブレクサ回路728は、データフォーマットをフレーン型からピクセル型に変換し、16ドット/mmのデータとして出力するものであり、第19図に示すように8to1マルチブレクサを4個用いて構成している。AGDC701からFIFO707に書き込まれる領域データが4フレーンあるが、縮小解像度が4ドット/mmの場合には、第20図に示すようにエリヤコマンドデータは、4ビットすべて有効データとして4倍の16ドット/mmに拡大して送出される。しかし、縮小解像度が8ドット/mmの場合には、AGDC701からFIFO707に書き込まれる領域データが2フレーン又は1フレーンとなるため、有

特開平3-189878(15)

効なエリアコマンドデータは2ブレーンの場合に2ビット、1ブレーンの場合に1ビットとなる。

上記の構成により、メインスキュー時の処理回路では、画像データの読み出しと同期してAGDC701から転送され FIFO707に書き込まれた画像データを FIFO読み出し回路727で4ブレーン分読み出し、マルチプレクサ728を通してこれをコマンドACMDとして16ドット/mmに拡大してFAC716へ送出する。

(D) タイミングジェネレータ

タイミングジェネレータ729は、縮小および拡大処理を行うための制御、DMC706を介してAGDC701へデータを転送するための制御、およびDMC706により FIFO707に書き込まれた4ブレーンの領域データを読み出すための制御を行う回路であり、DMC706を介してAGDC701へデータを転送するタイミングは、第16図に示すようになる。すなわち、データが16ビットそろったとき信号PSTBをアクティブにしDMC706へ出力する。そして、DMC

706より信号NPACK入力がアクティブとなると、信号PSTBをインアクティブとする。信号NPACK入力がアクティブの期間データAD0～15をバス上に出力する。この動作は、縮小の解像度により4ドット/mmの場合には4ライン毎に動作し8ドット/mmの場合には2ライン毎に動作する。

通してこれをコマンドACMDとして16ドット/mmに拡大してFAC716へ送出する。

(D) タイミングジェネレータ

タイミングジェネレータ729は、縮小および拡大処理を行うための制御、DMC706を介してAGDC701へデータを転送するための制御、およびDMC706により FIFO707に書き込まれた4ブレーンの領域データを読み出すための制御を行う回路であり、DMC706を介してAGDC701へデータを転送するタイミングは、第55図に示すようになる。すなわち、データが16ビットそろったとき信号PSTBをアクティブにしDMC706へ出力する。そして、DMC

706より信号NPACK入力がアクティブとなると、信号PSTBをインアクティブとする。信号NPACK入力がアクティブの期間データAD0～15をバス上に出力する。この動作は、縮小の解像度により4ドット/mmの場合には4ライン毎に動作し8ドット/mmの場合には2ライン毎に動作する。

(II-6) アノテーション処理回路

第21図はFAC、フォントバッファ、PLT間の信号の流れを示す図である。

(A) 構成の概要

アノテーション処理回路は、画像データに同期してブレーンメモリ704から各アノテーションに対応して4ビットのエリアコマンドACMD3～0、計16種類のアノテーションのエリアコマンドACMD3～0が読み出され、IREで画像データと同じ解像度に拡大処理して転送されると、そのエリアコマンドACMD3～0を実行することによって、マーカー領域や閉領域、矩形領域、自由形領域で、文字や背景を認識しながら、

予め設定された色により文字や背景を選択的に網やハッチング、ベタ等のパターンで置き換えたり、あるいはロゴ挿入を行ったりするものである。そのため、第21図に示すように、網やハッチング、ロゴ等のフォントデータ（パターン）FD3～0を格納したフォントバッファ708、エリアコマンドに基づいてフォントバッファ708のアドレスを生成してフォントデータFD3～0を読み出すFAC716、フォントデータFD3～0とエリアコマンドACMD3～0により画像データをフォントのカラー信号に置き換えるPLT707を備えている。

フォントバッファ708は、ユーザのセットしたロゴパターンメモリ(ROM)-705からあるいはVCPUから設定登録できるものであり、網やハッチング、ベタ、ロゴ等のパターンのフォントが登録される。フォントバッファ708が1ブレーン構成の場合には、FD0で2色の切り換えを行う。したがって、最大4ブレーン構成で、フォントデータFD3～0による16色の切り換えま

特開平3-189878(16)

で可能になっている。

FAC716は、エリアコマンドACMD3～0からパターンを選択するテーブル、該テーブルにより選択されたパターンのフォントデータをフォントバッファ708から読み出すためのアドレス発生用カウンタ、フォントバッファ708からフォントデータACMD3～0を送出する回路からなる。テーブルは、予め各エリアコマンドFACMD3～0に対応して網やハッキング、ベタ、ロゴ等、16のパターンが登録できるようになっている。

PLT707は、エリアコマンドACMD3～0に対応した16組の色データからなり1つのアノテーションに対して最大16色の色データを与えるカラーパレット(COLOR-PALT)731、文字部(フェアグランド)/背景部(バックグランド)の両方にアノテーションを出力するときの文字部に最大16色の色データを与えるフォアパレット(FORE-PALT)732、エリアコマンドACMD3～0に対応して画像データ

とカラーパレット731又はフォアパレット732の出力データとの切り換え情報(論理演算選択信号)を与えるロジックLUT(LGIC-LUT)734、及び論理演算選択信号により原稿データとアノテーションデータとの切り換えを行うマルチブレクサ733を備えている。

次に動作の概要を説明する。

まず、前提として、予め、フォントバッファ708には網やハッキング、ロゴ等のフォントデータが登録され、FAC716のテーブルにはエリアコマンドACMD3～0と対応するフォントデータの先頭アドレスが設定される。同様に、PLT707では、ロジックLUT734に論理演算選択信号が登録される。なお、上記のようにカラーパレット731は、16面あって4ビットのエリアコマンドデータACMD3～0によりその1面が、さらにその中のデータがフォントデータFD3～0により選択され、また、フォアパレット732は、文字部、背景部両方にアノテーションを出力する場合の文字部の色を登録しておくもの

であるが、これらは、現像サイクル毎に書き換えられる。

例えばハッキングのパターンがエリアコマンドACMD3～0の「0010」であるとすると、ハッキング領域については、4枚からなるブレンメモリ704のうちビット1に対応するP1の1枚だけが「1」で描画されることになる。したがって、この領域では、画像データと同期してブレンメモリ704から「0010」のエリアコマンドデータACMD0～3が読み出される。

FAC716では、「0010」のエリアコマンドデータACMD0～3を入力すると、そのエリアコマンドデータACMD3～0に基づいてフォントバッファ708からハッキングのパターンによるフォントデータFD3～0を読み出し、これらエリアコマンドデータACMD3～0、フォントデータFD3～0をPLT717へ送出する。

PLT717では、エリアコマンドデータACMD3～0に基づいて、ロジックLUT734においてLG1に登録されたハッキングパターンに

対する論理演算選択信号が選択され、また、カラーパレット731において、CP1のカラーパレットが選択される。そして、このカラーパレットの16色のデータからフォントデータFD3～0により1色が選択される。例えばフォントデータFD3～0が「1101」(十進で「13」)であれば、CP1のカラーパレットにおけるCP1-13の色データが選択されることになる。マルチブレクサ733では、画像データにおいて文字部と背景部とを認識し、論理演算選択信号にしたがって文字部では画像データを出力し、背景部では色データを出力する。

このように各エリアコマンドデータACMD0～3に対応してフォントデータFD3～0と論理演算選択信号を読み出し、さらにエリアコマンドデータACMD0～3とフォントデータFD3～0からアノテーションの色を選択して画像データを特定のフォントで置き換えることにより編集処理を行っている。したがって、フォントデータFD3～0は、網、ハッキング、ベタ、ロゴ等のバ

特開平3-189878 (17)

ターンを有すると共に色情報を有するデータであり、同じパターンでもフォントデータ FD 3～0 の内容を変えることによって、或いはエリアコマンドデータ ACMD 0～3 を変えることによって異なる色の組み合わせによるパターンを出力することができる。

例えば PAC 716において同じパターンを A CMD 0～3 の「0001」と「0010」に登録したとすると、フォントデータ FD 3～0 が同じになっても PLT 717では CP1 と CP2 のように異なるカラー・パレット 731 が選択される。また、同じパターンでもフォントデータ FD 3～0 において、例えば「0101」、「0110」、「0111」（カラー・パレット 731 では A、B、C の色データ）によりパターンを形成するよう登録した場合に対し、「1101」、「1110」、「1111」によりパターンを形成するよう登録した場合は、カラー・パレット 731 で A、B、C の色データと異なる色データが選択されることになる。

DC の設定を行い、ぬり絵スキャン後に DMC のリセット、AGDC のリセットを行う。

なお、本発明は、上記の実施例に限定されるものではなく、種々の変形が可能である。例えば上記の実施例では、ブレーンメモリの構成を 6 枚にしたが、ワーク用のブレーンメモリの 1 枚を描画用のブレーンメモリと兼用してもよい。この場合には、例えば第 4 図において、ブレーンメモリ P0 をブレーンメモリ PM として用い、第 4 図同様にブレーンメモリ PM に得られた描面をブレーンメモリ PW にコピーしてブレーンメモリ PM をクリアすれば、描画用のブレーンメモリ P0 として用いることができる。また、描画用のブレーンメモリの構成を 4 枚にしたが、この枚数は、設定するエリアコマンドの数に応じて増減してもよいことはいうまでもない。

【発明の効果】

以上の説明から明らかのように、本発明によれば、閉領域のぬり塗しを行った後、逆にその外側のぬり塗しを行い、そしてその内側に対してぬり

(Ⅲ) 全体の処理の流れ

第 22 図は全体の処理フローを説明するための図、第 23 図はぬり絵スキャン時の設定内容を説明するための図である。

画像処理装置として例えば複写機に本発明を適用した場合の全体の処理の流れを示したのが第 22 図であり、コピー条件や組集内容をオペレータが予め入力設定し、スタートキーを操作すると、複写機は、第 22 図に示すような流れで動作する。

まず、アノテーション編集があるか否かを判定し、アノテーション編集がない場合には、直ちにコピーサイクルに入る。しかし、アノテーション編集がある場合には、ブレーンメモリをクリアする。そして、自由形処理、マーカー編集、ぬり塗処理、矩形領域処理があるか否かを調べてそれぞれの処理を行った後コピーサイクルに入る。

この場合、ぬり塗処理では、第 23 図に示すようにスタート後、ぬり絵スキャンに先立って、ぬり塗用のスレッシュホールド値の設定等の IRE の設定、副走査方向ライン数等の DMC の設定、AG

絵のエリアコマンドを設定するので、閉領域の 1 点を撮集点として指定するだけで、閉領域内にある空白部分を抜けがなく色付け処理することができる。

4. 図面の簡単な説明

第 1 図は本発明に係る画像処理装置のぬり絵処理方式の 1 実施構成を示す図、第 2 図はブレーンメモリの構成例を示す図、第 3 図はエリアコマンドを説明するための図、第 4 図はエリアコマンドの設定処理を説明するための図、第 5 図はアノテーション、領域指定、カラー変換の各処理を行う LS1 を搭載した撮集制御回路の構成を示す図、第 6 図は後指定優先の描画を説明するための図、第 7 図はマーカー指定領域の色付け処理を説明するための図、第 8 図は枠内色付けによる色付け処理を説明するための図、第 9 図は矩形領域の色付け処理を説明するための図、第 10 図は DMC の回路構成を示す図、第 11 図は IRE、AGDC との間のデータ転送ラインを示す図、第 12 図は IRE（イメージ暗号回路）の構成を示す図、第

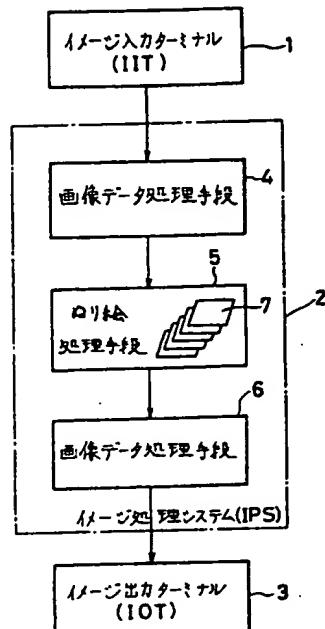
特開平3-189878 (18)

第 3 図は S / P 変換回路の構成例を示す図、第 1
4 図はオア回路の構成例を示す図、第 1 5 図は I
RE から AGDCへのデータ転送を説明するため
の図、第 1 6 図はタイミングジェネレータにおける
出力コントロールのタイミングチャート、第 1
7 図は FIFO読み出し回路の構成例を示す図、
第 1 8 図および第 2 0 図は FIFO読み出しデータ
の流れを示す図、第 1 9 図はマルチブレクサ回
路の構成例を示す図、第 2 1 図は PAC、ファン
トバッファ、PLT間の信号の流れを示す図、第
2 2 図は全体の処理フローを説明するための図、
第 2 3 図はめり絵スキャン時の設定内容を説明す
るための図、第 2 4 図はめり絵処理の問題を説明
するための図である。

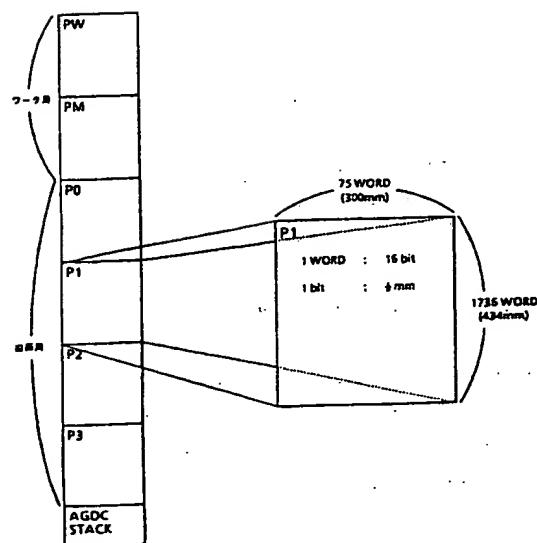
1 … イメージ入力ターミナル (IIT) 、 2 …
イメージ処理システム (IPS) 、 3 … イメージ
出力ターミナル、 4 と 6 … データ処理手段、 5 …
編集制御手段、 7 … ブレーンメモリ。

出 製 人 富士ゼロックス株式会社
代理 人 弁理士 阿 部 龍 吉 (外 6 名)

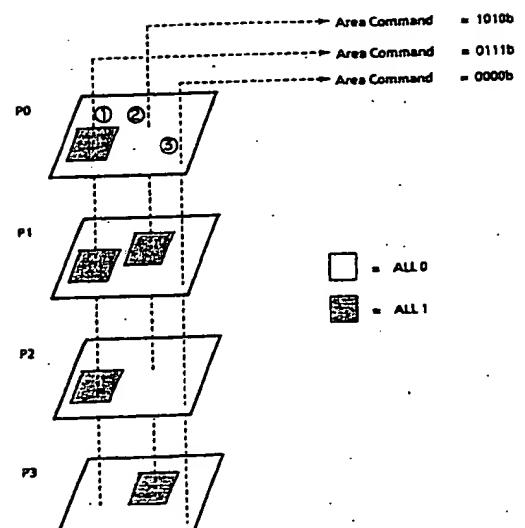
第 1 図



第 2 図

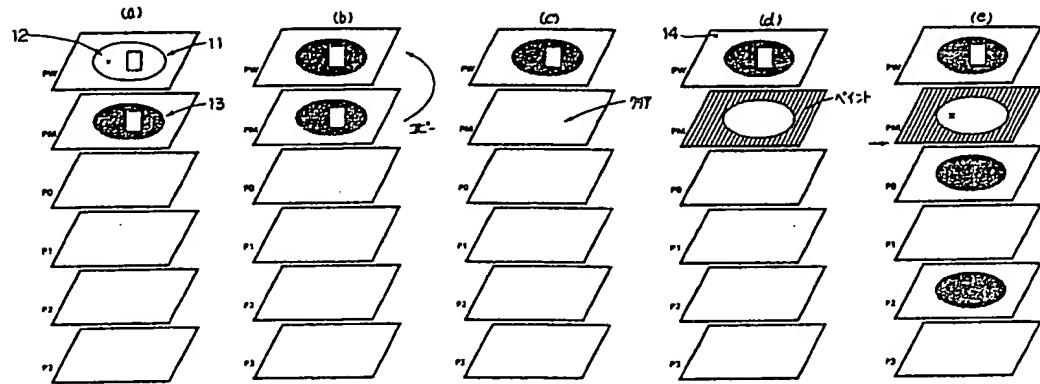


第 3 図

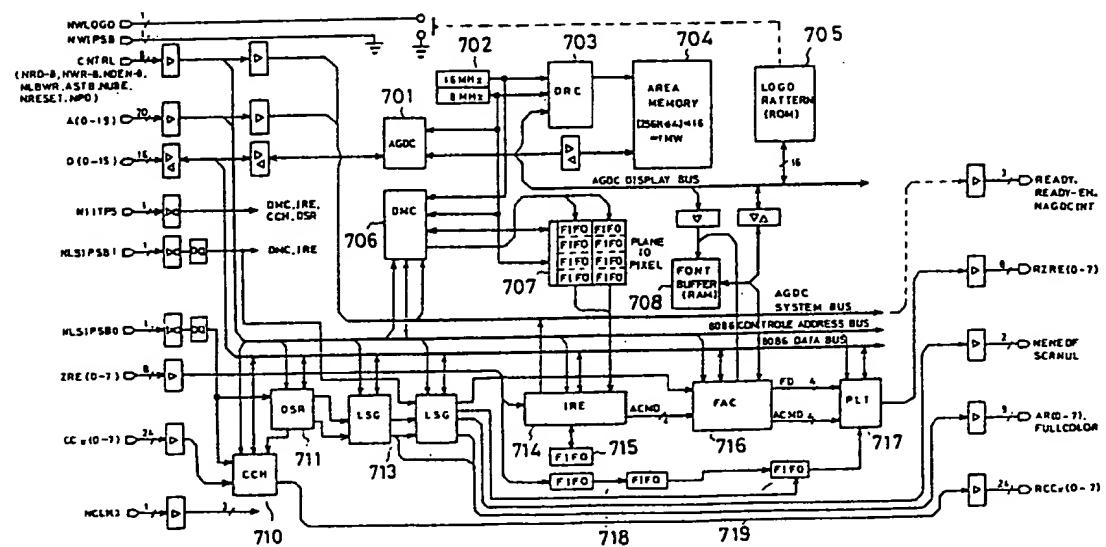


特開平3-189878 (18)

第4図

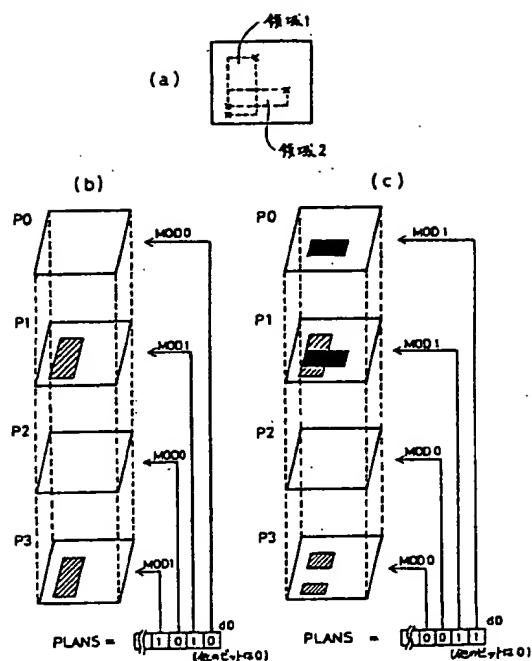


第5図

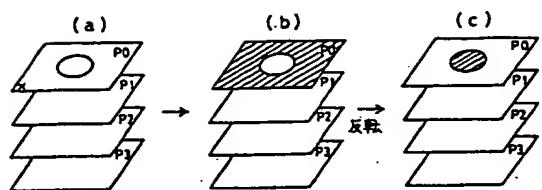


特開平3-189878 (20)

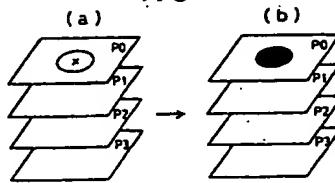
第6図



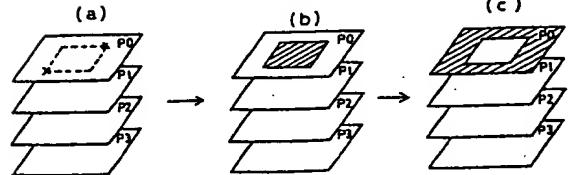
第7図



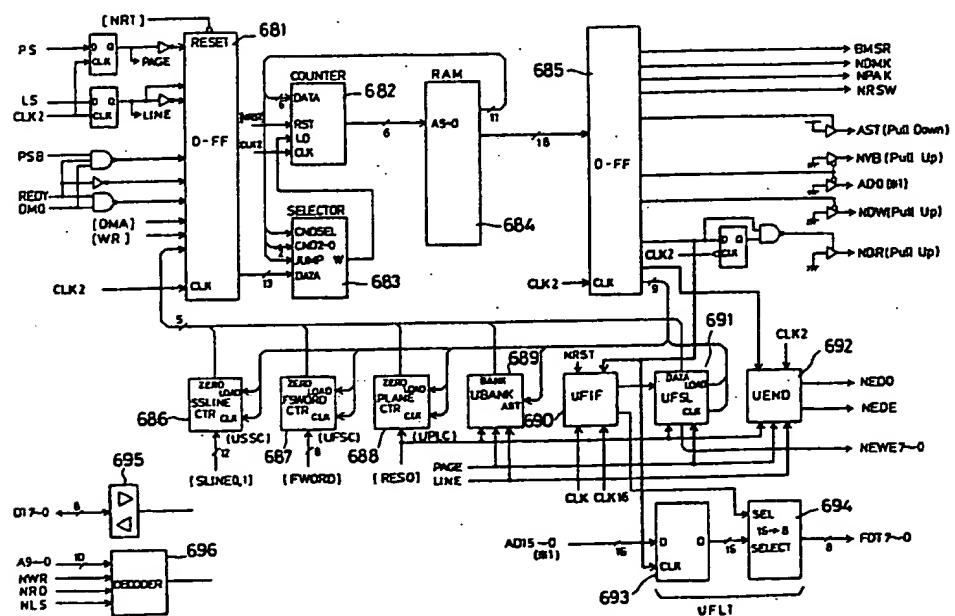
第8図



第9図



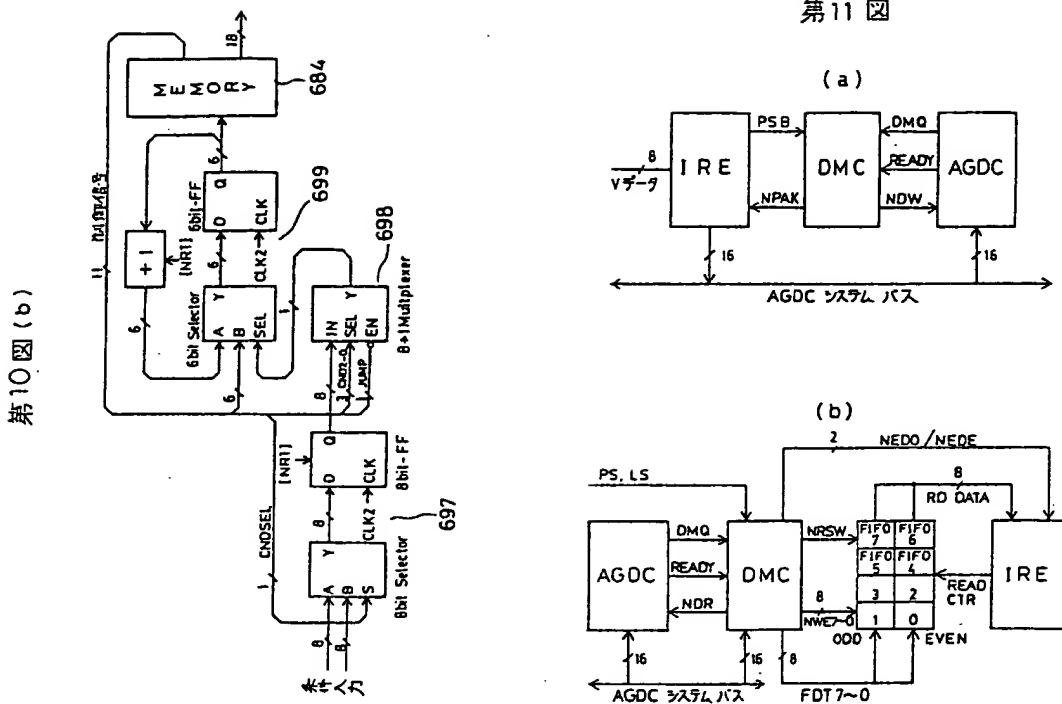
第10図 (a)



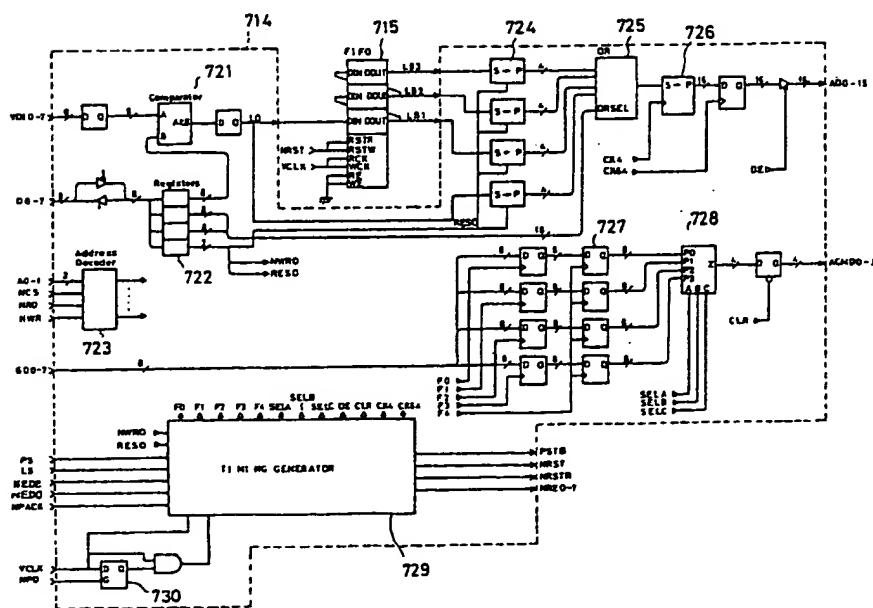
(21)

特開平3-189878(21)

第11回

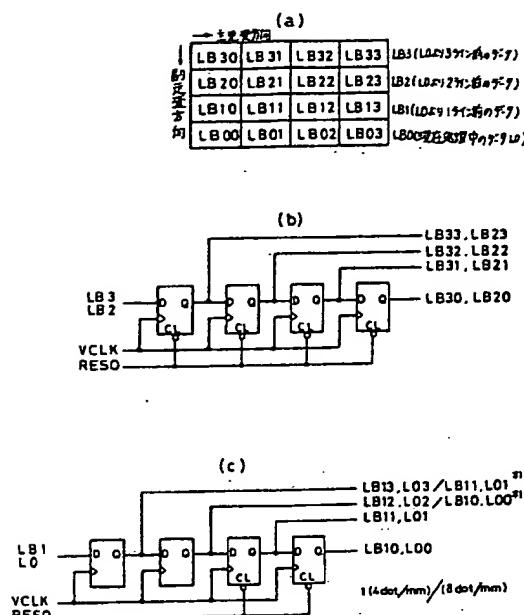


第12図

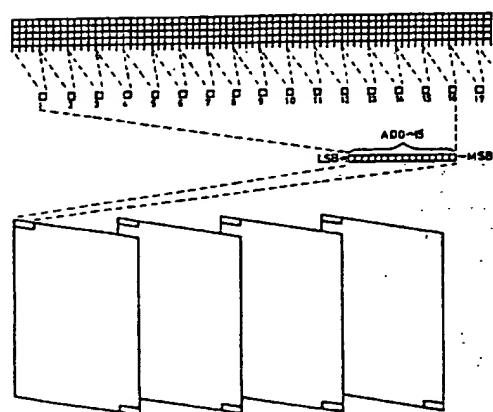


特開平3-189878 (22)

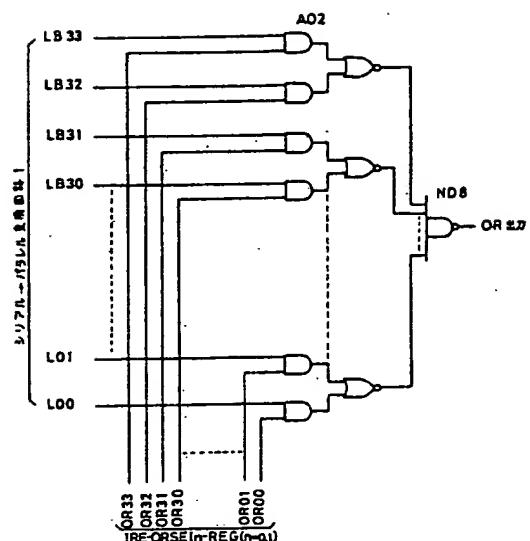
第13図



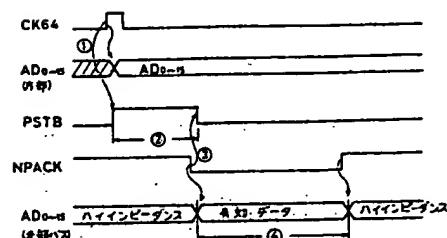
第15図



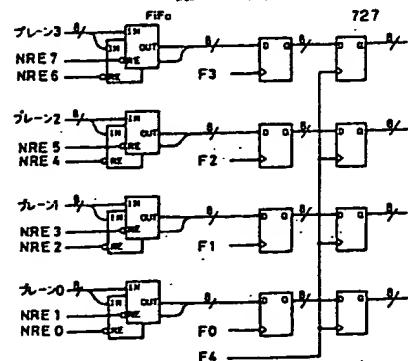
第14図



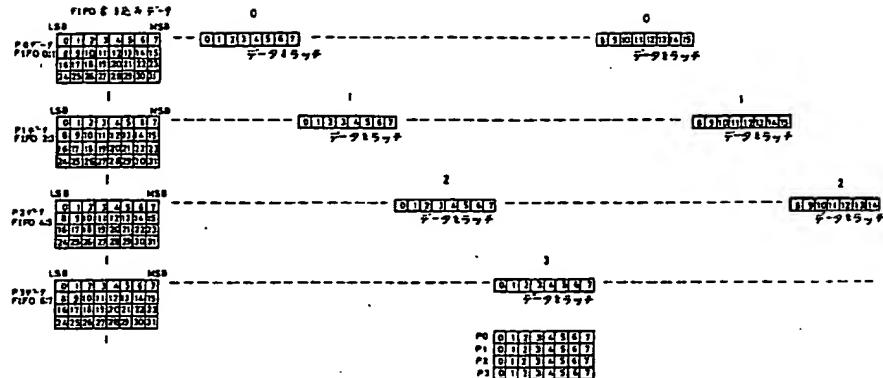
第16図



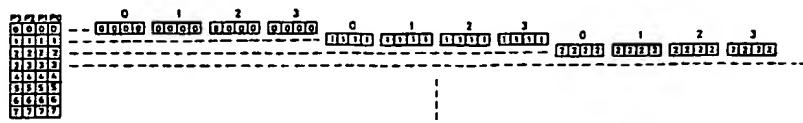
第17図



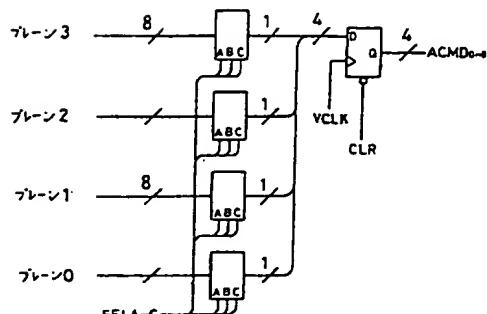
第18図



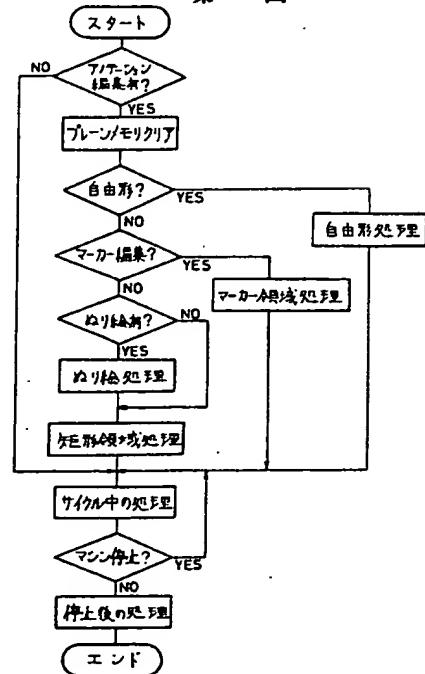
第20図



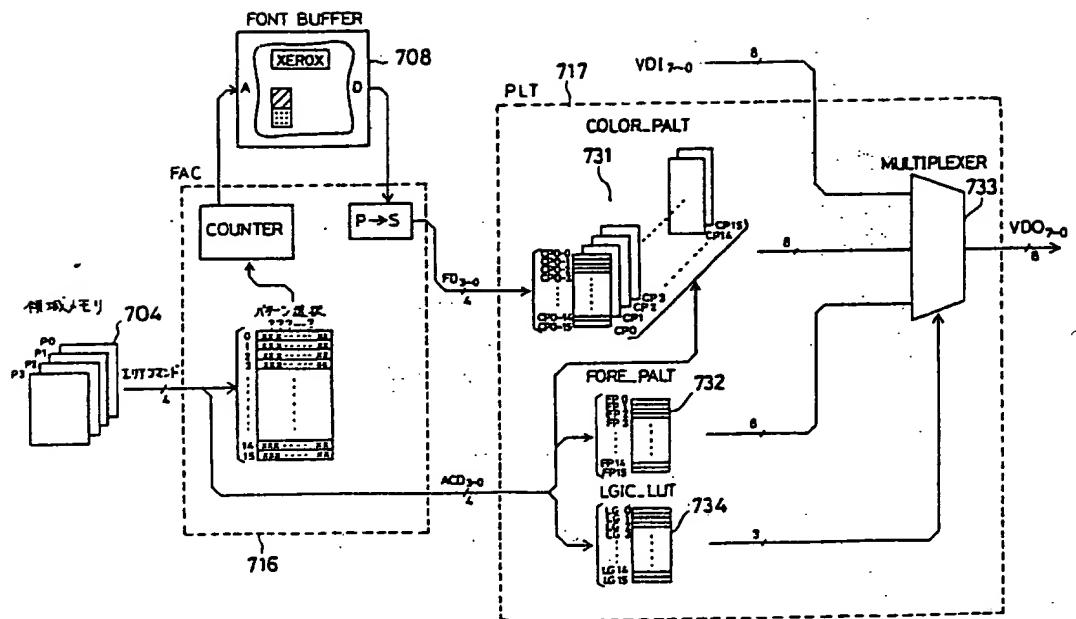
第19図



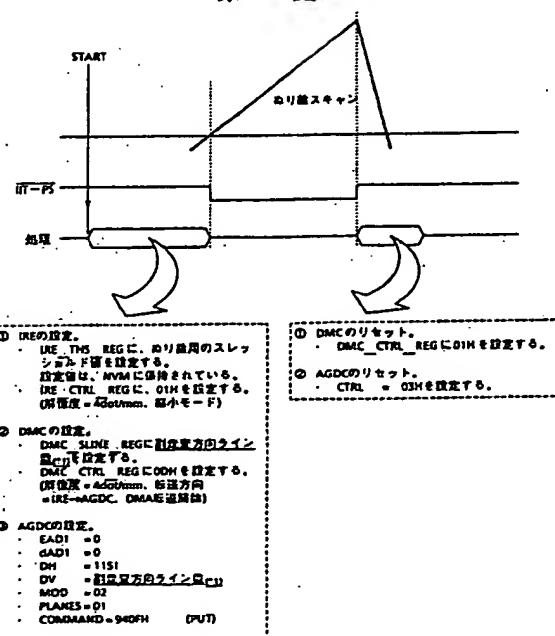
第22図



第21図



第23図



第24図

